

PATENT

Docket No.: 8733.521.00

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

11073 U.S. PTO
10/025908
12/26/01

In Re Application of:

Ik Soo KIM

Group Art Unit: T.B.A.

Application No.: T.B.A.

Examiner: T.B.A.

Filing Date: December 26, 2001

For: X-RAY DETECTING DEVICE AND FABRICATING METHOD THEREOF

REQUEST FOR PRIORITY

Commissioner of Patents
Washington, D.C. 20231

Sir:

- ☐ Full benefit of the filing date of U.S. Application No. [*], filed [*], is claimed pursuant to the provisions of 35 U.S.C. § 120.
- ☐ Full benefit of the filing date of U.S. Provisional Application No., [*], filed [*], is claimed pursuant to the provisions of 35 U.S.C. § 119(e).
- ☒ Applicants claim any right to priority from any earlier filed applications to which they may be entitled pursuant to the provisions of 35 U.S.C. § 119, as noted below.

In the matter of the above-identified application for patent, notice is hereby given that the Applicants claim as priority:

<u>COUNTRY</u>	<u>APPLICATION NO.</u>	<u>MONTH/DAY/YEAR</u>
KOREA	P2000-85280	12/29/2000

Certified copies of the corresponding Convention Application(s)

- ☒ Are submitted herewith.
- ☐ Will be submitted prior to payment of the Final Fee.
- ☐ Were filed in prior Application No. [*], filed [*].
- ☐ Were submitted to the International Bureau in PCT Application No. [*]. Receipt of the certified copies by the International Bureau in a timely manner under PCT Rule 17.1(a) has been acknowledged as evidenced by the attached PCT/IB/304.
- ☐ (A) Application No.(s) [*] were filed in prior application no. [*] filed [*]; and
- (B) Application No.(s)
- ☐ Are submitted herewith.
- ☐ Will be submitted prior to payment of the Final Fee.

Respectfully submitted,

LONG ALDRIDGE & NORMAN, LLP

By Rebecca A. Goldman
Rebecca A. Goldman
Registration No. 41,786

Date: December 26, 2001
701 Pennsylvania Avenue, N.W.
Sixth Floor, Suite 600
Washington, D.C. 20004
Telephone No.: (202) 624-1200
Facsimile No.: (202) 624-1298

31073 U.S. PTO
10/025908
12/26/01

대한민국 특허청
KOREAN INTELLECTUAL
PROPERTY OFFICE

별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto
is a true copy from the records of the Korean Intellectual
Property Office.

출원 번호 : 특허출원 2000년 제 85280 호
Application Number PATENT-2000-0085280

출원 년 월 일 : 2000년 12월 29일
Date of Application DEC 29, 2000

출원인 : 엘지.필립스 엘시디 주식회사
Applicant(s) LG.PHILIPS LCD CO., LTD.

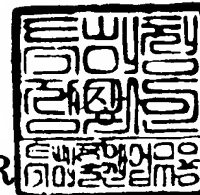
CERTIFIED COPY OF
PRIORITY DOCUMENT



2001 년 08 월 25 일

특 허 청

COMMISSIONER



【서지사항】

【서류명】 특허출원서
【권리구분】 특허
【수신처】 특허청장
【참조번호】 0020
【제출일자】 2000. 12. 29
【발명의 명칭】 엑스 -선 검출소자 및 그 제조방법
【발명의 영문명칭】 X-ray Detecting Device and Method Fabricating The Same

【출원인】

【명칭】 엘지 .필립스 엘시디 주식회사

【출원인코드】 1-1998-101865-5

【대리인】

【성명】 김영호

【대리인코드】 9-1998-000083-1

【포괄위임등록번호】 1999-001050-4

【발명자】

【성명의 국문표기】 김익수

【성명의 영문표기】 KIM, IK-Soo

【주민등록번호】 680113-1140123

【우편번호】 435-040

【주소】 경기도 군포시 산본동 1148-4 9단지 금강주공아파트 904동 1003호

【국적】 KR

【취지】 특허법 제42조의 규정에 의하여 위와 같이 출원합니다. 대리인
 김영호 (인)

【수수료】

【기본출원료】 20 면 29,000 원

【가산출원료】 10 면 10,000 원

【우선권주장료】 0 건 0 원

【심사청구료】 0 항 0 원

【합계】 39,000 원

【첨부서류】 1. 요약서·명세서(도면)_1통

【요약서】

【요약】

본 발명은 엑스-선 검출용 박막트랜지스터 및 그 제조방법에 관한 것이다.

본 발명에 따른 검출데이터라인과 게이트라인의 교차부에 엑스-선 검출셀들이 배열되는 엑스-선 검출소자에 있어서, 상기 엑스-선 검출셀들에 열방향으로 접속되어 접지전압이 공급되는 접지전극과, 상기 접지전극에 접속되고 상기 열방향으로 인접한 상기 엑스-선 검출셀들에 공통으로 연결되는 캐패시터전극과, 상기 엑스-선 검출셀들 각각에 형성되는 화소전극을 구비한다.

본 발명에 의하면, 제 1투명전극은 게이트라인의 일부분과 중첩되게 그라운드라인을 따라 형성하고, 또한 데이터라인을 따라 형성하여 그라운드 라인의 단선불량을 막을 수 있으며 각각의 화소간 제 1투명전극을 연결시킴으로써 그라운드라인의 저항도 감소시킬 수 있다.

【대표도】

도 5

【명세서】

【발명의 명칭】

엑스-선 검출소자 및 그 제조방법{X-ray Detecting Device and Method
Fabricating The Same}

【도면의 간단한 설명】

도 1은 통상의 엑스-선 검출소자의 패널을 도시한 도면.

도 2는 종래의 엑스-선 검출소자를 도시한 평면도.

도 3a 내지 도 3i는 도 2에 도시된 엑스-선 검출소자의 제조방법을 선 'A-A'을 따라 절취하여 나타내는 단면도.

도 4는 도 2에 도시된 엑스-선 검출소자를 선 'B-B''을 따라 절취하여 나타내는 단면도.

도 5는 본 발명의 제 1실시 예에 따른 엑스-선 검출소자를 도시한 평면도.

도 6a 내지 도 6i는 도 5에 도시된 엑스-선 검출소자의 제조방법을 선 'C-C''을 따라 절취하여 나타내는 단면도.

도 7은 본 발명의 제 2실시 예에 따른 엑스-선 검출소자를 도시한 평면도.

도 8a내지 도 8g는 도 7에 도시된 엑스-선 검출소자의 제조방법을 선 'B-B''을 따라 절취하여 나타내는 단면도.

<도면의 주요 부분에 대한 부호의 설명>

2, 52 : 글라스 기판	3,53 : 게이트 라인
4 : 박막트랜지스터 기판	5,55 : 화소전극
6 : 광감지층	7 : 상부 유전층
8 : 상부전극	9 : 고전압발생부
10,60 : 데이터라인	12,62 : 게이트전극
12a,62a : 알루미늄	12b,62b : 몰리브덴
14,64 : 소스전극	15,17,65,67,69,71 : 컨택홀
16,66 : 드레인전극	18,68 : 게이트패드
20,70 : 데이터패드	22,72 : 그라운드 라인
25,75 : 제1 투명전극	30,80 : 그라운드 전극
32,82 : 게이트 절연막	34,84 : 반도체층
34a,84a : 비정질 실리콘층	34b,84b : 다결정질 실리콘층
35,85 : 제2 투명전극	36,40,86,90 : 보호막

【발명의 상세한 설명】

【발명의 목적】

【발명이 속하는 기술분야 및 그 분야의 종래기술】

<23> 본 발명은 엑스-선(이하 'X-선' 이라 함) 검출소자 및 그 제조방법에 관한 것으로, 특히 그라운드라인의 단선을 방지할 수 있는 X-선 검출소자 및 제조방법에 관한 것이다.

- <24> 피사체에 가시광이 아닌 X-선을 조사하여 이미지를 촬상하는 진단용 X-선 감지장치가 의료 분야에 폭넓게 이용되고 있다. 이러한 X-선 감지장치는 X-선을 검출하기 위한 검출소자가 필요하게 된다.
- <25> 일반적으로, 의료·과학·산업 분야에서는 X-선 등과 같은 비가시광선을 이용하여 피사체를 촬상하는 X-선 촬영장치가 사용되고 있다. 이 X-선 촬영 장치는 피사체를 통과한 X-선을 검출하여 전기적인 신호로 변환하기 위한 X-선 검출 패널을 구비하고 있다.
- <26> 도 1은 종래의 X-선 검출소자의 패널을 나타내는 평면도이다.
- <27> 도 1을 참조하면, X-선이 입사되는 광감지층(6)과, 유리기판(2) 상에 형성되어 광감지층(6)으로부터 검출된 X-선을 스위칭하기 위한 박막트랜지스터(이하 'TFT' 라 함) 어레이(4)를 구비하는 AMLCD가 도시되어 있다. 광감지층(6)은 수백 μm 두께의 셀레니움(Selenium)이 TFT 어레이(4) 상에 도포되어 X-선을 전기적인 신호로 변환하는 역할을 하게 된다. 광감지층(6) 상에는 유전층(7)과 상부전극(8)이 형성된다. 상부전극(8)은 고전압 발생부(9)에 접속된다. TFT 어레이(4)는 게이트라인(3)을 경유하여 입력되는 제어신호에 응답하여 스토리지 캐패시터(Cst)에 충전된 전압신호를 데이터 재생부(도시하지 않음)에 전송하게 된다. 스토리지 캐패시터(Cst)는 TFT의 소오스전극과 기저전압원(GND) 사이에 접속되어 광감지층(6)으로부터 공급되는 신호를 충전하는 역할을 하게 된다.
- <28> TFT는 게이트라인(3)을 통해 입력되는 게이트신호에 응답하여 충전 캐패시터(Cst)에 충전된 전압을 데이터라인(10)에 공급하게 된다. 이렇게 데이터라인

에 공급된 화소신호들은 데이터재생부를 통해 표시장치로 공급되어 화상을 표시하게 된다.

<29> 도 2는 도 1에 도시된 TFT 어레이의 구조를 도시한 평면도이다.

<30> 도 2를 참조하면, TFT 어레이에서 화소전극(5)은 게이트라인(3)과 데이터라인(10)에 의해 마련된 단위화소 영역에 형성된다. 스토리지 캐패시터(Cst)는 화소전극(5)과, 그 하부에 스토리지(Storage) 절연막(도시하지 않음)을 사이에 두고 위치하는 투명전극(도시하지 않음)에 의해 형성된다. 그라운드 전극(30)은 스토리지 캐패시터(Cst)의 잔류전하를 리셋시키기 위한 것으로 화소전극(5)을 가로지르는 방향으로 제 1투명전극 위에 형성된다. 그라운드 전극(30)은 그라운드 라인(22)에 접속된다. TFT는 데이터라인(10)과 게이트라인(3)의 교차지점에 형성된다. 이 TFT는 게이트라인(3)에서 연장된 게이트전극(12)과, 데이터라인(10)에서 연장된 소스전극(14)과, 화소전극(5)과 컨택홀(15)에 의해 접속된 드레인전극(16)과, 소스전극(14)과 드레인전극(16)에 접속된 반도체층(도시하지 않음)을 구성으로 한다. 게이트라인(3)과 데이터라인(10) 각각의 일측단에는 구동 IC(Integrated Circuit)와 접속되는 게이트패드부(18)와 데이터패드부(20) 각각이 형성된다. 게이트라인(3) 및 게이트전극(12)과 게이트패드(18)는 동일한 금속재질이 사용되며, 통상 알루미늄(Al)과 몰리브덴(Mo)이 순차적으로 적층된 구조를 가지고 있다. 데이터라인(10)은 신호전달 특성이 양호하도록 저항값을 줄이기 위하여 몰리브덴(Mo) 금속으로 이루어진다. 데이터패드(20)는 구동 IC와의 접속을 알루미늄(Al) 와이어 본딩(Wire bonding)으로 하기 위해 게이트패드(18)와 같이 알루미늄(Al)과 몰리브덴(Mo)이 적

층된 구조를 가지고 있다. 이에 따라, 데이터패드(20)는 데이터라인(10)과 다른 층에 형성되므로 게이트절연막(도시하지 않음)을 경유하여 형성된 콘택홀(15)을 통해 접속되게 된다. 게이트패드(18)와 데이터패드(20)는 콘택홀(13,15)을 통해 알루미늄(Al)의 금속층이 노출되어 구동 IC와 접속되게 된다.

<31> 도 3a 내지 도 3i는 도 2에 도시된 TFT 기판을 선 'A-A'로 절단한 부분을 나타내는 단면도이다.

<32> 도 3a를 참조하면, 먼저 글라스 기판(2) 위에 증착공정을 이용하여 금속막을 형성한 후, 제 1 마스크 패턴을 이용하여 패터닝함으로써 게이트전극(12), 게이트패드(18), 데이터패드(도시하지 않음)를 동시에 형성하게 된다. 이 경우, 게이트전극(12), 게이트패드(18), 데이터패드는 알루미늄(Al, 12a)과 몰리브덴(Mo, 12b) 금속이 순차적으로 적층된 구조를 가지게 된다.

<33> 도 3b를 참조하면, 게이트패드(18) 및 게이트전극(12) 등이 형성된 글라스 기판(2)의 전면에 연속적인 증착공정을 이용하여 게이트절연막(32)과 비정질실리콘(a-Si, 34a)층 및 불순물이 도핑된 비정질 실리콘(n+, 34b)층을 순차적으로 형성하게 된다. 이 때, 게이트절연막(32)은 질화실리콘(SiNx)을 이용하여 4000Å 정도의 두께로 형성된다. 그런 다음, 제2 마스크 패턴을 이용하여 n+층(34b)과 a-Si층(34a)을 패터닝함으로써 TFT의 채널을 형성하는 반도체층(34)을 형성하게 된다.

<34> 도 3c를 참조하면, 반도체층(34)을 형성한 후, 게이트전극물질 (Mo/Al)을 사용한 데이터패드와 이후 형성될 데이터라인(10)과의 접촉을 위해 제3 마스크

패턴을 이용하여 데이터패드 상의 게이트절연막(32)을 패터닝함으로써 제 1컨택홀(13,15)을 형성하게 된다.

<35> 도 3d를 참조하면, 투명전극물질을 전면 도포하고 제 4마스크 패턴을 이용하여 스토리지 캐패시터(Cst)를 위한 제 1투명전극(25)을 형성하게 된다.

<36> 도 3e를 참조하면, 크롬(Cr)을 형성하고 제 5마스크 패턴을 이용하여 패터닝함으로써 소스 전극(14)과 드레인전극(16)과 그라운드 전극(22)을 형성하게 된다. 소스 전극(14)과 드레인전극(16)과 그라운드 전극(22)을 형성된 글라스 기판상에 스토리지 절연막(즉, 유전층)(36)을 전면 도포하게 된다.

<37> 도 3f를 참조하면, 스토리지 절연막(36) 상에 투명전극 물질을 전면 도포한 후 제 6마스크패턴을 이용하여 제2 투명전극(35)을 형성하게 된다. 이 제 2투명전극(38)은 이후 형성될 패시베이션층 (40)에 컨택홀을 형성하기 위해 에칭하는 경우 그 패시베이션층(40)의 에칭깊이를 제한하는 에치 스타퍼(Etch Stopper)의 역할을 하게 된다. 다시 말하여, 컨택홀 형성시 패시베이션층(40)과 스토리지 절연막(36)을 보호해주는 역할을 하게 된다.

<38> 도 3g를 참조하면, 제2 투명전극(35)이 형성된 후, 전면에 무기 또는 유기 물질의 패시베이션층(40)을 형성하고 제7 마스크패턴을 이용하여 패터닝함으로써 소스전극(14)과 화소전극(5)의 접속을 위한 제 2컨택홀(17), 게이트패드(18) 및 데이터패드(20)와 구동 IC칩과의 접속을 위한 제 1컨택홀(13,15), 화소전극(5)과 제2 투명전극(38)과의 접속을 위한 제 3컨택홀(19,21)을 형성하게 된다. 여기서, 소스전극(14)과 화소전극(5)의 접속을 위한 제 2컨택홀(17)과, 게이트패드(18)

및 데이터패드(20) 각각과 구동 IC칩과의 접속을 위한 제 1컨택홀(13,15)은 패시 베이션층(40) 및 스토리지 절연막(36)을 경유하여 형성된다.

<39> 도 3h를 참조하면, 투명전극 물질을 전면 도포한 후 제8 마스크 패턴을 이용하여 패터닝함으로써 화소전극(5)을 형성하게 된다.

<40> 도 3i를 참조하면, 화소전극(5)이 형성된 후 제9 마스크 패턴을 이용하여 게이트패드(18)와 데이터패드(20)의 제 1컨택홀(13,15)을 통해 노출된 폴리브덴층(44)을 패터닝하여 알루미늄층(42)이 노출되게 한다. 이는 게이트 패드(18)와 데이터패드(20)를 구동 IC칩과 접촉강도가 큰 알루미늄(Al) 와이어 본딩(Wire bonding)으로 접속시키기 위하여 알루미늄 구조로 가져가기 위한 것이다.

<41> 도 4는 도 2에 도시된 그라운드 라인을 선 'B-B''를 따라 절취한 부분을 나타내는 단면도이다.

<42> 도 4를 참조하면, 그라스 기판위에 게이트절연막을 증착한다. 게이트절연막은 질화실리콘(SiNx)을 이용하여 4000Å 정도의 두께로 형성된다. 그런 다음, 투명전극물질을 전면 도포하고 제 5마스크 패턴을 이용하여 스토리지 캐패시터를 위한 제 1투명전극을 형성한다. 이때 제 1투명전극 위에 그라운드 전극과 접속되게 크롬(Cr)의 그라운드 라인을 형성한다.

<43> 그러나, 제 1투명전극위에 그라운드 라인을 형성할 경우 제 1 투명전극의 단차로 인해 그라운드라인을 형성하는 그라운드 전극(Cr)이 끊어지는 불량이 많이 발생하는 단점이 있다.

【발명이 이루고자 하는 기술적 과제】

- <44> 따라서, 본 발명의 목적은 제 1투명전극의 단차로 그라운드라인의 단선 불량을 방지할 수 있는 엑스-선 검출용 박막트랜지스터 및 그 제조방법을 제공하는 데 있다.

【발명의 구성 및 작용】

- <45> 상기 목적을 달성하기 위하여, 본 발명에 따른 검출데이터라인과 게이트라인의 교차부에 엑스-선 검출셀들이 배열되는 엑스-선 검출소자에 있어서, 상기 엑스-선 검출셀들에 열방향으로 접속되어 접지전압이 공급되는 접지전극과, 상기 접지전극에 접속되고 상기 열방향으로 인접한 상기 엑스-선 검출셀들에 공통으로 연결되는 캐패시터전극과, 상기 엑스-선 검출셀들 각각에 형성되는 화소전극을 구비한다.
- <46> 상기 목적을 달성하기 위하여 본 발명에 따른 엑스-선 검출소자의 제조방법은 상기 드레인전극, 소스전극 및 게이트전극을 가지는 박막트랜지스터를 형성하는 단계와, 상기 드레인전극 및 소스전극들과 상기 절연막 사이를 절연하기 위한 게이트절연막을 형성하는 단계와, 상기 접지전극에 접속되고 상기 열방향으로 인접한 상기 엑스-선 검출셀들에 공통으로 연결되는 캐패시터전극을 형성하는 단계와, 상기 게이트절연막을 사이에 두고 상기 캐패시터전극과 중첩되도록 제2 캐패시터전극을 형성하는 단계와, 상기 박막트랜지스터를 덮도록 상기 투명기판 상에 형성되며 상기 화소전극이 상기 드레인전극과 상기 제2 캐패시터전극에 접속

되게 하는 콘택홀을 가지는 보호층을 형성하는 단계와, 상기 엑스-선 검출셀들 각각에 형성되는 화소전극을 형성하는 단계를 포함한다.

<47> 상기 목적 외에 본 발명의 다른 목적 및 특징들은 첨부도면을 참조한 실시 예에 대한 설명을 통하여 명백하게 드러나게 될 것이다.

<48> 이하 도 5 내지 도 8g을 참조하여 본 발명의 바람직한 실시 예에 대하여 설명하기로 한다.

<49> 도 5는 본 발명의 제 1 실시 예에 따른 X-선 TFT를 나타내는 평면도이다.

<50> 도 5를 참조하면, TFT 어레이에서 화소전극(55)은 게이트라인(53)과 데이터라인(60)에 의해 마련된 단위화소 영역에 형성된다. 스토리지 캐패시터(Cst)는 화소전극(55)과, 그 하부에 스토리지(Storage) 절연막(도시하지 않음)을 사이에 두고 위치하는 투명전극(도시하지 않음)에 의해 형성된다. 그라운드전극(80)은 스토리지 캐패시터(Cst)의 잔류전하를 리셋시키기 위한 것으로 화소전극(55)을 가로지르는 방향으로 형성되며, 제 1투명전극(75)은 그라운드 라인(72)을 따라 게이트라인(53)의 일부분과 중첩되게 형성되어 각각의 화소의 제 1투명전극(75)이 연결되게 형성된다. TFT는 데이터라인(60)과 게이트라인(53)의 교차지점에 형성된다. 이 TFT는 게이트라인(53)에서 연장된 게이트전극(62)과, 데이터라인(60)에서 연장된 드레인전극(66)과, 화소전극(55)과 콘택홀(65)에 의해 접속된 소스전극(64)과, 소스전극(64)과 드레인전극(66)에 접속된 반도체층(도시하지 않음)을 구성으로 한다. 게이트라인(53)과 데이터라인(60) 각각의 일측단에는 구동 IC(Integrated Circuit)와 접속되는 게이트패드부(68)와 데이터패드부(70) 각각이 형성된다. 게이트라인(53) 및 게이트전극(62)과 게이트패드(68)는 동일한

금속재질이 사용되며, 통상 알루미늄(Al)과 몰리브덴(Mo)이 순차적으로 적층된 구조를 가지고 있다. 데이터라인(60)은 신호전달 특성이 양호하도록 저항값을 줄이기 위하여 몰리브덴(Mo) 금속으로 이루어진다. 데이터패드(70)는 구동 IC와의 접속을 알루미늄(Al) 와이어 본딩(Wire bonding)으로 하기 위해 게이트패드(78)와 같이 알루미늄(Al)과 몰리브덴(Mo)이 적층된 구조를 가지고 있다. 이에 따라, 데이터패드(70)는 데이터라인(60)과 다른층에 형성되므로 게이트절연막(도시하지 않음)을 경유하여 형성된 콘택홀(65)을 통해 접속되게 된다.

게이트패드(18)와 데이터패드(20)는 콘택홀(63,65)을 통해 알루미늄(Al)의 금속층이 노출되어 구동 IC와 접속되게 된다.

<51> 도 6a 내지 도 6i는 도 5에 도시된 TFT 기판을 선 'C-C'로 절단한 부분을 나타내는 단면도이다.

<52> 도 6a를 참조하면, 먼저 글라스 기판(52) 위에 증착공정을 이용하여 금속막을 형성한 후, 제 1 마스크 패턴을 이용하여 패터닝함으로써 게이트라인(53)과 게이트전극(62), 게이트패드(68), 데이터패드(70)를 동시에 형성하게 된다. 이 경우, 게이트라인(53), 게이트패드(68), 데이터패드(70)는 알루미늄(Al, 62a)과 몰리브덴(Mo, 62b) 금속이 순차적으로 적층된 구조를 가지게 된다.

<53> 도 6b를 참조하면, 게이트라인(53) 및 게이트전극(62) 등이 형성된 글라스 기판(2)의 전면에 연속적인 증착공정을 이용하여 게이트절연막(82)과 비정질실리콘(a-Si, 84a)층 및 불순물이 도핑된 비정질 실리콘(n+, 84b)층을 순차적으로 형성하게 된다. 이 때, 게이트절연막(82)은 질화실리콘(SiNx)을 이용하여 4000Å 정도의 두께로 형성된다. 그런 다음, 제2 마스크 패턴을 이용하여

n+층(84b)과 a-Si층(84a)을 패터닝함으로써 TFT의 채널을 형성하는 반도체층(84)을 형성하게 된다.

<54> 도 6c를 참조하면, 반도체층(84)을 형성한 후, 게이트전극물질 (Mo/Al)을 사용한 데이터패드(70)와 이후 형성될 데이터라인(60)과의 컨택을 위해 제3 마스크 패턴을 이용하여 데이터패드(70) 상의 게이트절연막(82)을 패터닝함으로써 제1컨택홀(69)을 형성하게 된다.

<55> 도 6d를 참조하면, 투명전극물질을 전면 도포하고 제 4마스크 패턴을 이용하여 스토리지 캐패시터(Cst)를 위한 제 1투명전극(75)을 형성하게 된다. 제 1투명전극(75)은 그라운드라인을 따라 형성하여 제 1투명전극(75)의 단차를 줄일 수 있게 되며 각 화소의 제 1투명전극(75)이 서로 연결되어 있어 그라운드 라인 의 저항도 감소하게 된다.

<56> 도 6e를 참조하면, 크롬(Cr)을 형성하고 제 5마스크 패턴을 이용하여 패터닝함으로써 소스 전극(64)과 드레인전극(66)과 그라운드 전극(80)을 형성하게 된다. 소스 전극(64)과 드레인전극(66)과 그라운드 전극(80)을 형성된 글라스 기판상에 스토리지 절연막(즉, 유전층)(86)을 전면 도포하게 된다.

<57> 도 6f를 참조하면, 스토리지 절연막(86) 상에 투명전극 물질을 전면 도포한 후 제 6마스크패턴을 이용하여 제2 투명전극(85)을 형성하게 된다. 이 제 2투명전극(85)은 이후 형성될 패시베이션층(90)에 컨택홀을 형성하기 위해 에칭하는 경우 그 패시베이션층(90)의 에칭깊이를 제한하는 에치 스타퍼(Etch Stopper)의 역할을 하게 된다. 다시 말하여, 컨택홀 형성시 패시베이션층(90)과 스토리지 절연막(86)을 보호해주는 역할을 하게 된다.

<58> 도 6g를 참조하면, 제2 투명전극(85)이 형성된 후, 전면에 무기 또는 유기 물질의 패시베이션층(90)을 형성하고 제7 마스크패턴을 이용하여 패터닝함으로써 소스전극(64)과 화소전극(55)의 접속을 위한 제 2컨택홀(67), 게이트패드(68) 및 데이터패드(70)와 구동 IC칩과의 접속을 위한 제 1컨택홀(63,65)을 형성하게 된다. 여기서, 소스전극(64)과 화소전극(55)의 접속을 위한 제 2컨택홀(67)과, 게이트패드(18) 및 데이터패드(20) 각각과 구동 IC칩과의 접속을 위한 제 1컨택홀(63,65)은 패시베이션층(90) 및 스토리지 절연막(86)을 경유하여 형성된다.

<59> 도 6h를 참조하면, 투명전극 물질을 전면 도포한 후 제 8마스크 패턴을 이용하여 패터닝함으로써 화소전극(55)을 형성하게 된다.

<60> 도 6i를 참조하면, 화소전극(55)이 형성된 후 제 9마스크 패턴을 이용하여 게이트패드(68)와 데이터패드(70)의 제 1컨택홀(63,65)을 통해 노출된 폴리브덴층(94)을 패터닝하여 알루미늄층(92)이 노출되게 한다. 이는 게이트 패드(68)와 데이터패드(70)를 구동 IC칩과 접촉강도가 큰 알루미늄(Al) 와이어 본딩(Wire bonding)으로 접속시키기 위하여 알루미늄 구조로 가져가기 위한 것이다.

<61> 도 7은 본 발명의 제 2실시 예에 따른 X-선 TFT를 나타내는 평면도이다.

<62> 도 7을 참조하면, TFT 어레이에서 화소전극(55)은 게이트라인(53)과 데이터라인(60)에 의해 마련된 단위화소 영역에 형성된다. 스토리지 캐패시터(Cst)는 화소전극(55)과, 그 하부에 스토리지(Storage) 절연막(도시하지 않음)을 사이에 두고 위치하는 투명전극(도시하지 않음)에 의해 형성된다. 그라운드전극(80)은 스토리지 캐패시터(Cst)의 잔류전하를 리셋시키기 위한 것으로 화소전극(55)을 가로지르는 방향으로 형성된다. 제 1투명전극(75)은 그라운드 라인(72)을 따라

게이트라인(53)의 일부분과 중첩되게 형성되어 각각의 화소의 제 1투명전극(75)이 연결되게 형성되고 데이터라인과도 중첩되게 형성된다. TFT는 데이터라인(60)과 게이트라인(53)의 교차지점에 형성된다. 이 TFT는 게이트라인(53)에서 연장된 게이트전극(62)과, 데이터라인(60)에서 연장된 드레인전극(66)과, 화소전극(55)과 컨택홀(65)에 의해 접속된 소스전극(64)과, 소스전극(64)과 드레인전극(66)에 접속된 반도체층(도시하지 않음)을 구성으로 한다. 게이트라인(53)과 게이트전극(62)은 동일한 금속재질이 사용되며, 통상 알루미늄(Al)과 몰리브덴(Mo)이 순차적으로 적층된 구조를 가지고 있다. 데이터라인(60)은 신호 전달 특성이 양호하도록 저항값을 줄이기 위하여 몰리브덴(Mo) 금속으로 이루어진다.

<63> 도 8a 내지 도 8g는 도 7에서 선'D-D''를 따라 절취한 부분을 나타내는 단면도이다.

<64> 도 8a를 참조하면, 먼저 글라스 기판(52) 위에 증착공정을 이용하여 금속막을 형성한 후, 제 1 마스크 패턴을 이용하여 패터닝함으로써 게이트라인(53)과 게이트전극(62)을 동시에 형성하게 된다. 이 경우, 게이트전극(62)은 알루미늄(Al, 62a)과 몰리브덴(Mo, 62b) 금속이 순차적으로 적층된 구조를 가지게 된다.

<65> 도 8b를 참조하면, 게이트라인(53) 및 게이트전극(62) 등이 형성된 글라스 기판(2)의 전면에 연속적인 증착공정을 이용하여 게이트절연막(82)과 비정질실리콘(a-Si, 84a)층 및 불순물이 도핑된 비정질 실리콘(n+, 84b)층을 순차적

으로 형성하게 된다. 이 때, 게이트절연막(82)은 질화실리콘(SiNx)을 이용하여 4000Å 정도의 두께로 형성된다. 그런 다음, 제2 마스크 패턴을 이용하여 n+층(84b)과 a-Si층(84a)을 패터닝함으로써 TFT의 채널을 형성하는 반도체층(84)을 형성하게 된다.

<66> 도 8c를 참조하면, 투명전극물질을 전면 도포하고 제 4마스크 패턴을 이용하여 스토리지 캐패시터(Cst)를 위한 제 1투명전극(75)을 형성하게 된다. 제 1투명전극(75)은 그라운드라인(72)을 따라 형성하여 제 1투명전극(75)의 단차를 줄일 수 있게 되며 각 화소의 제 1투명전극(75)이 서로 연결되어 있어 그라운드라인(72)의 저항도 감소하게 된다. 또한, 제 1투명전극(75)은 데이터라인(60)을 따라 형성하여 데이터라인(60) 단선불량을 방지할 수 있고 데이터라인(60)의 저항을 줄일 수 있다.

<67> 도 8d를 참조하면, 크롬(Cr)을 형성하고 제 5마스크 패턴을 이용하여 패터닝함으로써 소스 전극(64)과 드레인전극(66)과 그라운드 전극(80)을 형성하게 된다. 소스 전극(64)과 드레인전극(66)과 그라운드 전극(80)을 형성된 글라스 기판상에 스토리지 절연막(즉, 유전층)(86)을 전면 도포하게 된다.

<68> 도 8e를 참조하면, 스토리지 절연막(86) 상에 투명전극 물질을 전면 도포한 후 제 6마스크패턴을 이용하여 제2 투명전극(85)을 형성하게 된다. 이 제 2투명전극(85)은 이후 형성될 패시베이션층(90)에 콘택홀을 형성하기 위해 에칭하는 경우 그 패시베이션층(90)의 에칭깊이를 제한하는 에치 스타퍼(Etch Stopper)의 역할을 하게 된다. 다시 말하여, 콘택홀 형성시 패시베이션층(90)과 스토리지 절연막(86)을 보호해주는 역할을 하게 된다.

- <69> 도 8f를 참조하면, 제2 투명전극(85)이 형성된 후, 전면에 무기 또는 유기 물질의 패시베이션층(90)을 형성하고 제7 마스크패턴을 이용하여 패터닝함으로써 소스전극(64)과 화소전극(55)의 접속을 위한 제 2컨택홀(67)을 형성하게 된다. 여기서, 소스전극(64)과 화소전극(55)의 접속을 위한 제 2컨택홀(67)은 패시베이션층(90) 및 스토리지 절연막(86)을 경유하여 형성된다.
- <70> 도 8g를 참조하면, 투명전극 물질을 전면 도포한 후 제 8마스크 패턴을 이용하여 패터닝함으로써 화소전극(55)을 형성하게 된다.

【발명의 효과】

- <71> 상술한 바와 같이, 본 발명에 따른 엑스-선 검출소자 및 그 제조방법은 그라운드 하부에 위치하는 제 1투명전극의 단차를 제거하여 그라운드 라인의 단선 불량률을 막을 수 있으며 각 화소간 제 1투명전극을 연결시킴으로써 그라운드 라인의 저항도 감소시킬 수 있다.
- <72> 뿐만 아니라, 데이터라인을 따라 제 1투명전극을 형성시켜 데이터 라인의 단선불량률을 줄일 수 있고 데이터라인의 저항도 감소시킬 수 있다.
- <73> 이상 설명한 내용을 통해 당업자라면 본 발명의 기술사상을 일탈하지 아니하는 범위에서 다양한 변경 및 수정이 가능함을 알 수 있을 것이다. 따라서, 본 발명의 기술적 범위는 명세서의 상세한 설명에 기재된 내용으로 한정되는 것이 아니라 특허 청구의 범위에 의해 정하여져야만 할 것이다.

【특허청구범위】**【청구항 1】**

데이터라인과 게이트라인의 교차부에 엑스-선 검출셀들이 배열되는 엑스-선 검출소자에 있어서,

상기 엑스-선 검출셀들에 열방향으로 접속되어 접지전압이 공급되는 접지 전극과,

상기 접지전극에 접속되고 상기 열방향으로 인접한 상기 엑스-선 검출셀들에 공통으로 연결되는 캐패시터전극과,

상기 엑스-선 검출셀들 각각에 형성되는 화소전극을 구비하는 것을 특징으로 하는 엑스-선 검출소자.

【청구항 2】

제 1항에 있어서,

상기 화소전극에 접속된 드레인전극과 상기 데이터라인에 접속된 소스전극 및 상기 게이트라인에 접속된 게이트전극을 가지는 박막트랜지스터와,

상기 드레인전극 및 소스전극들과 상기 절연막 사이를 절연하기 위한 게이트절연막과,

상기 게이트절연막을 사이에 두고 상기 캐패시터전극과 중첩되는 제2 캐패시터전극과,

상기 박막트랜지스터를 덮도록 상기 투명기관 상에 형성되며 상기 화소전극이 상기 드레인전극과 상기 제2 캐패시터전극에 접속되게 하는 콘택홀을 가지는 보호층을 더 구비하는 것을 특징으로 하는 엑스-선 검출소자.

【청구항 3】

상기 드레인전극, 소스전극 및 게이트전극을 가지는 박막트랜지스터를 형성하는 단계와,

상기 드레인전극 및 소스전극들과 상기 절연막 사이를 절연하기 위한 게이트절연막을 형성하는 단계와,

상기 접지전극에 접속되고 상기 열방향으로 인접한 상기 엑스-선 검출셀들에 공통으로 연결되는 캐패시터전극을 형성하는 단계와,

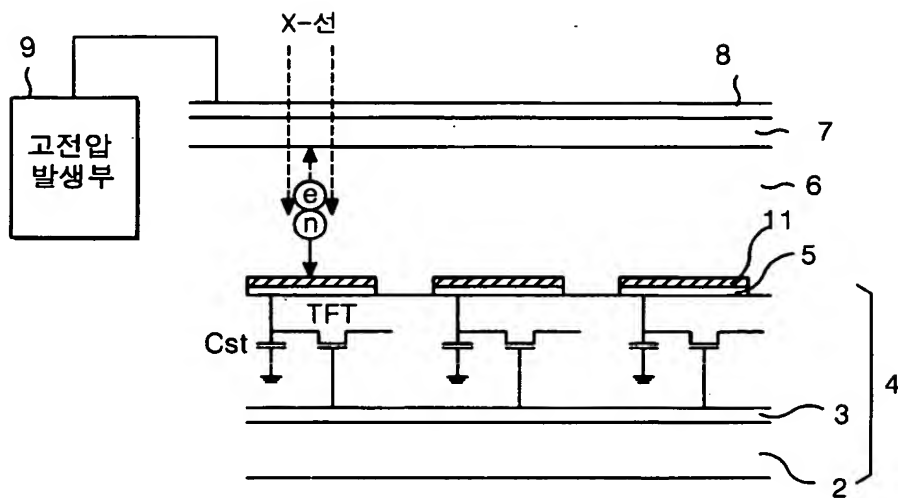
상기 게이트절연막을 사이에 두고 상기 캐패시터전극과 중첩되도록 제2 캐패시터전극을 형성하는 단계와,

상기 박막트랜지스터를 덮도록 상기 투명기관 상에 형성되며 상기 화소전극이 상기 드레인전극과 상기 제2 캐패시터전극에 접속되게 하는 콘택홀을 가지는 보호층을 형성하는 단계와,

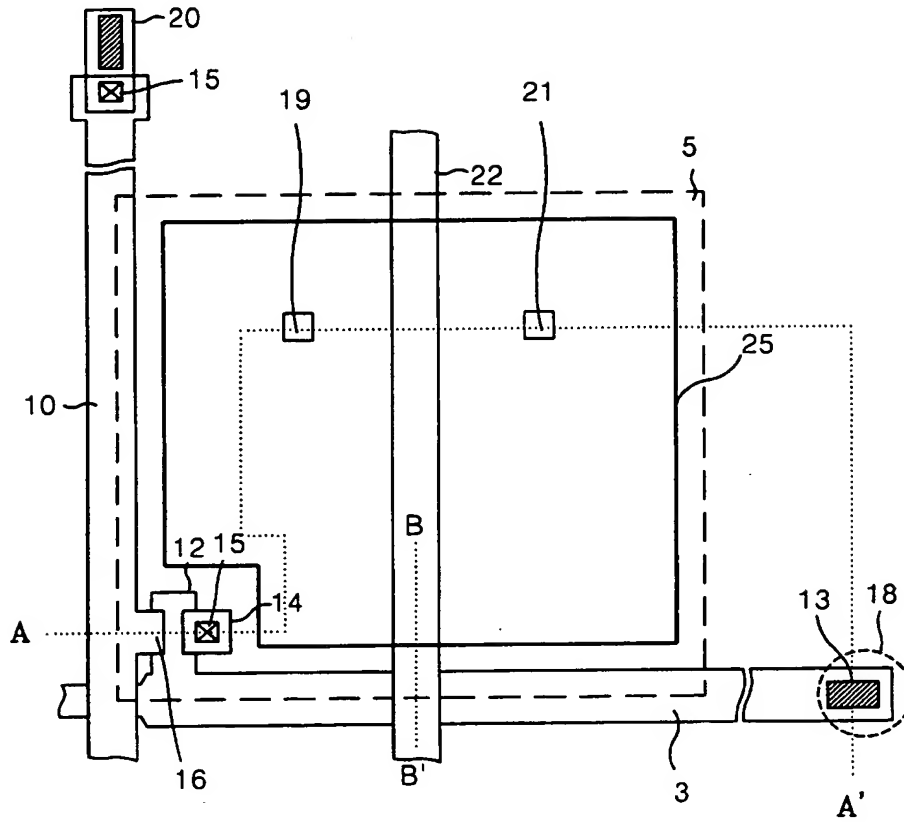
상기 엑스-선 검출셀들 각각에 형성되는 화소전극을 형성하는 단계를 포함하는 것을 특징으로 하는 엑스-선 검출소자의 제조방법.

【도면】

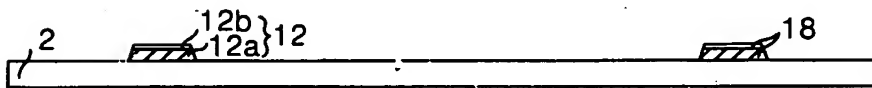
【도 1】



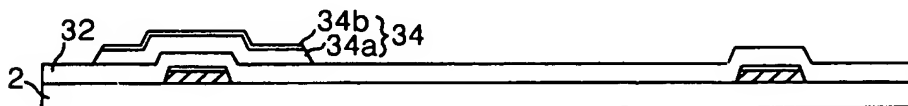
【도 2】



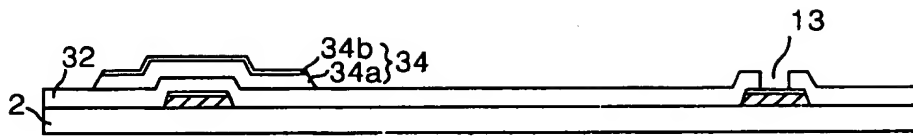
【도 3a】



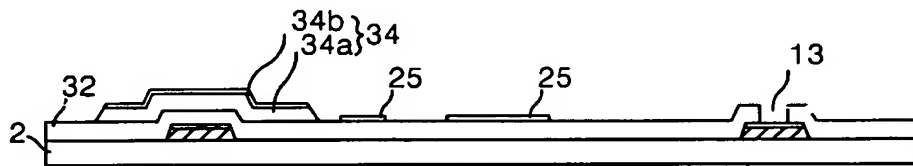
【도 3b】



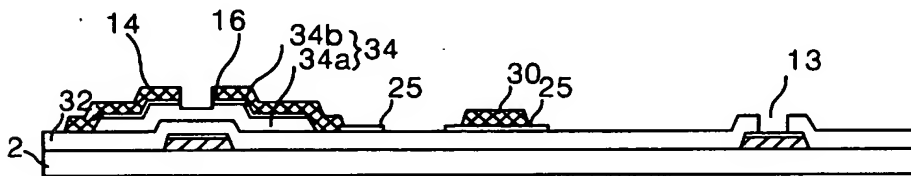
【도 3c】



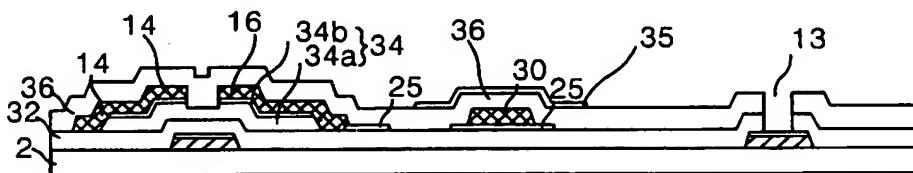
【도 3d】



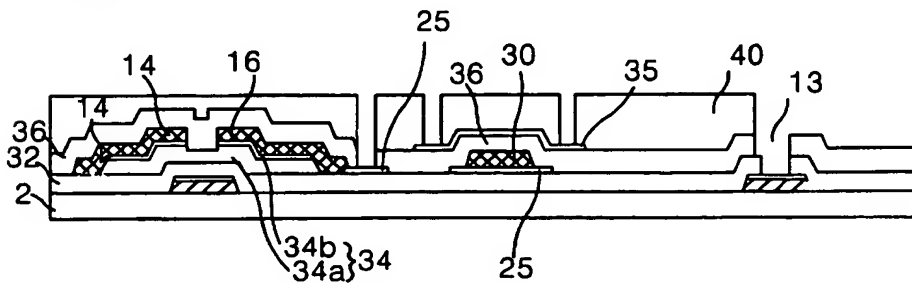
【도 3e】



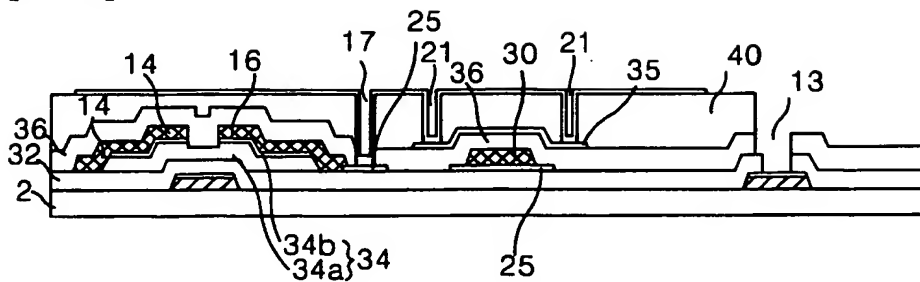
【도 3f】



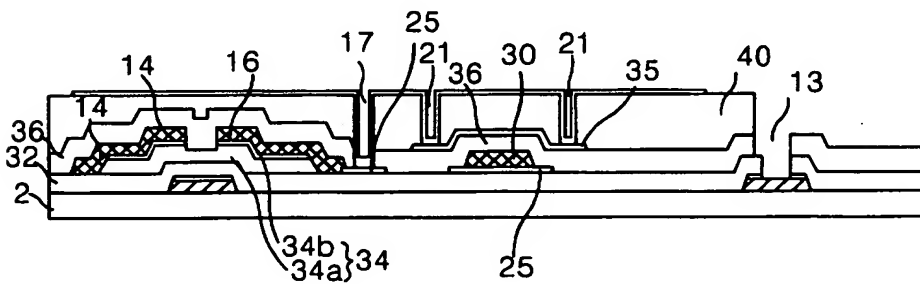
【도 3g】



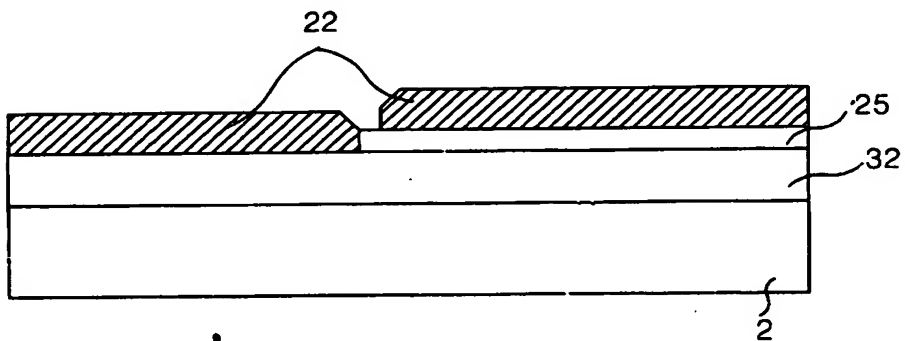
【도 3h】



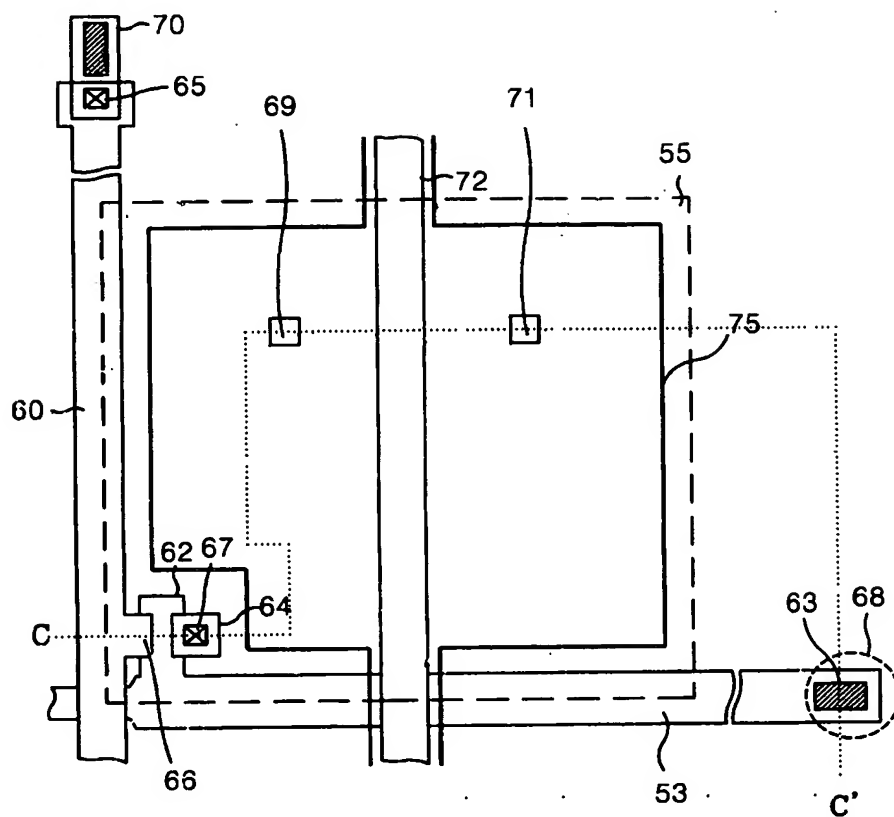
【도 3i】



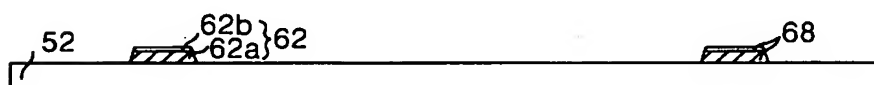
【도 4】



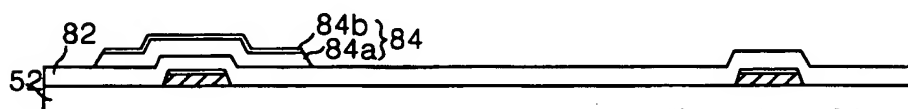
【도 5】



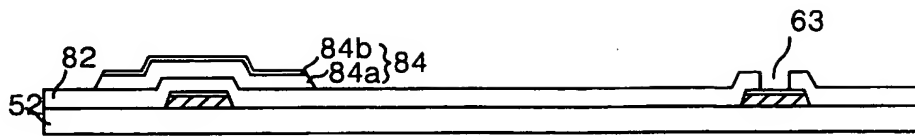
【도 6a】



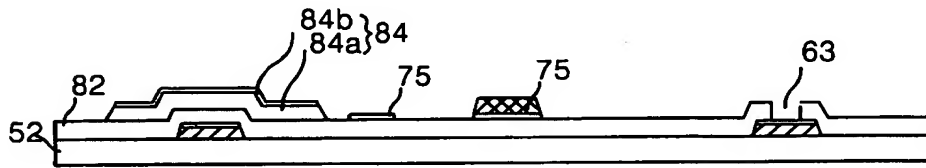
【도 6b】



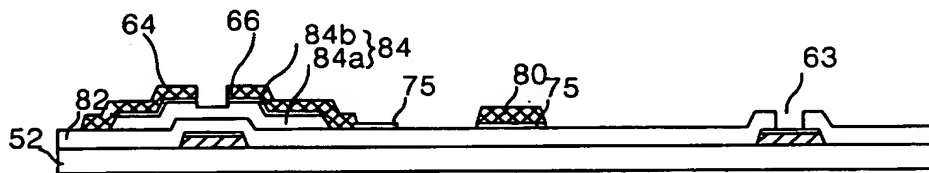
【도 6c】



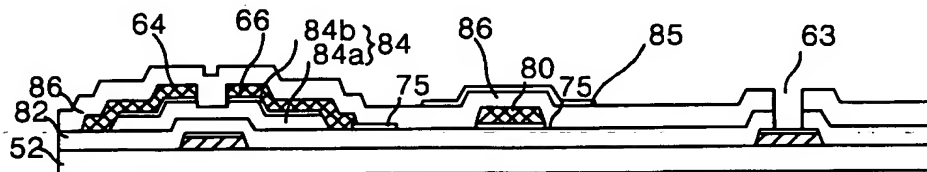
【도 6d】



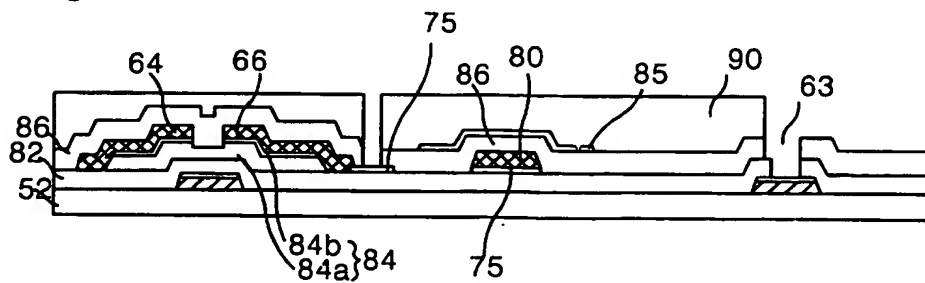
【도 6e】



【도 6f】



【도 6g】

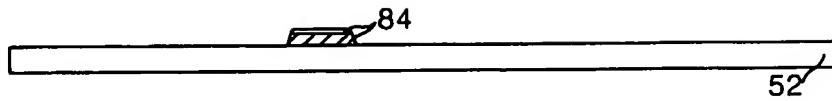


A detailed cross-sectional view of a semiconductor device. The structure includes a substrate 52 with a base layer 82. On top of the base layer, there are several layers and components: a patterned layer 86, a layer 84 (comprising sub-layers 84a and 84b), a layer 64, a layer 66, a vertical structure 67, a layer 75, a layer 80, a layer 85, a layer 90, and a top layer 63. The layers 84a and 84b are shown as a single unit 84. The layer 86 is shown as a patterned layer. The layer 64 is shown as a patterned layer. The layer 66 is shown as a patterned layer. The layer 75 is shown as a patterned layer. The layer 80 is shown as a patterned layer. The layer 85 is shown as a patterned layer. The layer 90 is shown as a patterned layer. The top layer 63 is shown as a patterned layer.

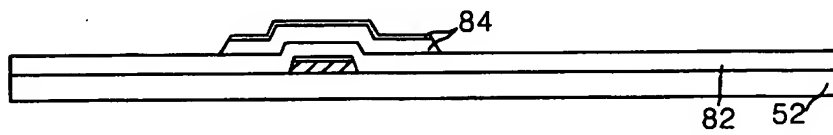
This cross-sectional view shows a second gate electrode 63 formed on the second gate insulating layer 62. The gate electrode 63 is positioned over the second channel region 80 and the second source/drain region 86. It is connected to a gate line 64. The device also includes a first gate electrode 66, a first channel region 71, and a first source/drain region 75. The substrate 52 is shown at the bottom, and the gate insulating layer 62 covers the top of the device.

A detailed schematic diagram of a mechanical assembly, likely a pump or motor. It features a vertical shaft (70) at the top, which passes through a housing (60). A component (65) is located where the shaft enters the housing. Below this, the shaft continues down, passing through another part of the housing (75). At the bottom of the vertical shaft, there is a coupling mechanism consisting of two parts, 62 and 67, which connect to a horizontal shaft (53). This horizontal shaft extends to the right and terminates in a component (68), which is shown in a dashed circle. Another component (64) is located between the vertical and horizontal shafts. Dashed lines represent cross-sectional planes: D-D' is a vertical plane through the lower part of the assembly, and 55-55' is a horizontal plane through the upper part. Other numbered labels include 69, 71, 72, 63, and 53.

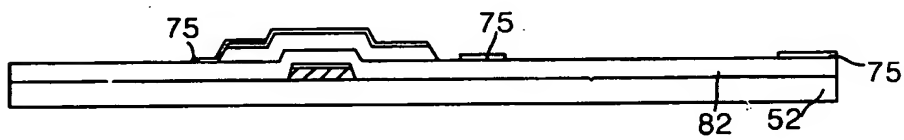
【도 8a】



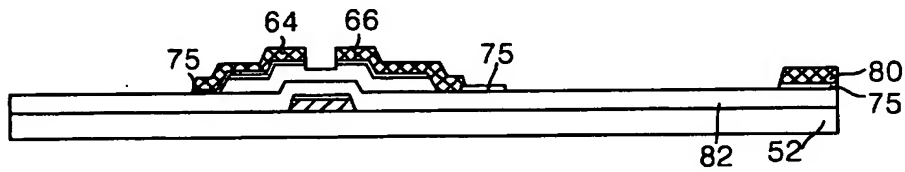
【도 8b】



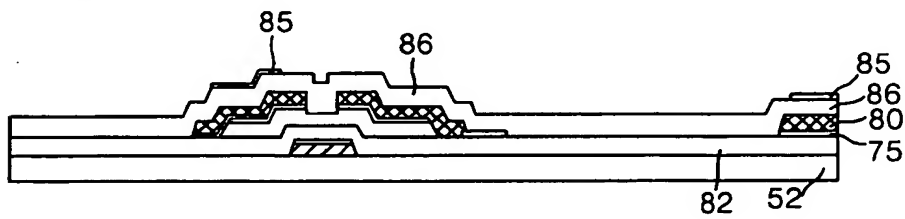
【도 8c】



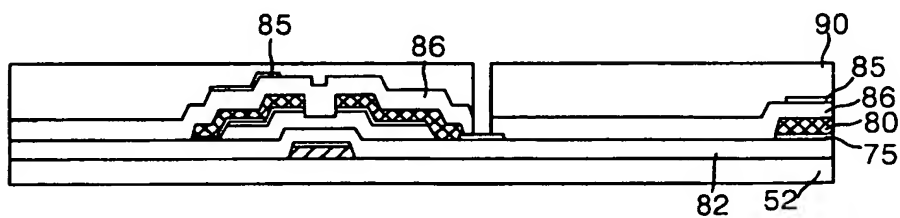
【도 8d】



【도 8e】



【도 8f】



【도 8g】

